

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

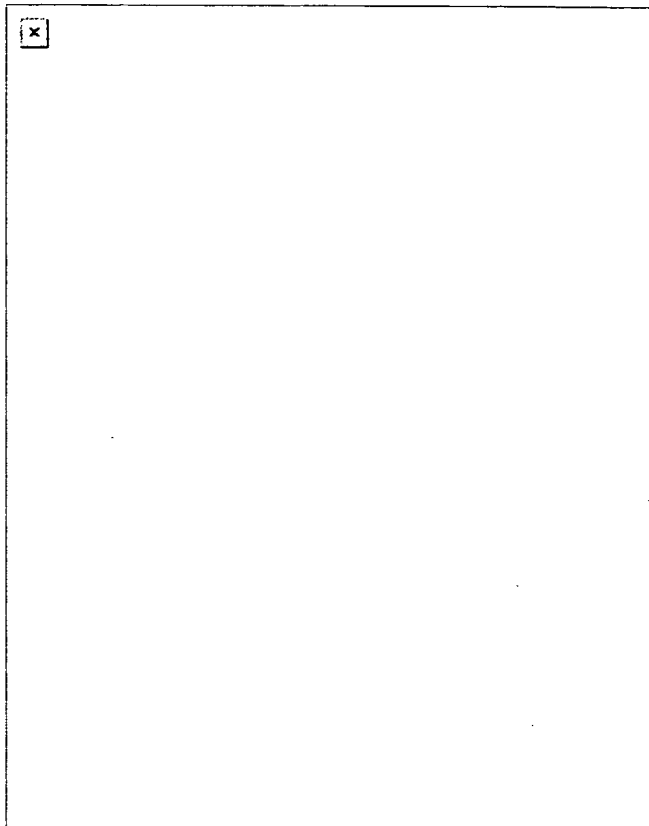
**OUTPUT CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT AND ELECTRONIC CIRCUIT DEVICE**

**Patent number:** JP10242835  
**Publication date:** 1998-09-11  
**Inventor:** SAKAMOTO MASATOSHI  
**Applicant:** HITACHI LTD  
**Classification:**  
- international: H03K19/0175; H01L27/04; H01L21/822; H03F1/56  
- european:  
**Application number:** JP19970043406 19970227  
**Priority number(s):**

**Abstract of JP10242835**

**PROBLEM TO BE SOLVED:** To reduce a chip area of the output circuit having a slew rate control function and an impedance matching function.

**SOLUTION:** An impedance matching circuit is configured by including a series connection of a 1st transistor(TR) 11 (13, 15) and a 2nd TR 12 (14, 16), a 1st conduction type 3rd TR 19 placed between the series connection circuits and an external terminal 24-1 and a 2nd conduction type 4th TR 20 connected in parallel with the 3rd TR 19. The impedance with a transmission line matches by a parallel combined impedance by the 1st conduction type 3rd TR and the 2nd conduction type 4th TR, the layout area is reduced by reducing a gate width of each TR being a component of the impedance matching circuit.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-242835

(43)公開日 平成10年(1998)9月11日

(51) Int.Cl.<sup>8</sup>

識別記号

FI

H O 3 K 19/0175

H 0 3 K 19/00

101F

H01L 27/04

H 0 3 F 1/56

21/822

H 0 1 L 27/04

E

H O 3 F 1/56

H 0 3 K 19/00

101Q

審査請求 未請求 請求項の数 4 OL (全 8 頁)

(21)出願番号

特願平9-43406

(22) 出願目

平成9年(1997)2月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 坂本 将俊

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 玉村 静世

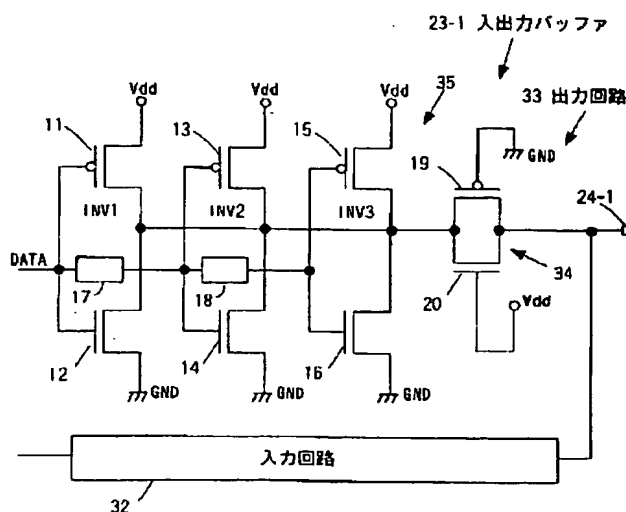
(54)【発明の名称】 出力回路、半導体集積回路、及び電子回路装置

(57) 【要約】

【課題】 スルーレートコントロール機能及びインピーダンス整合機能を有する出力回路のチップ占有面積の低減を図ることにある。

【解決手段】 第1トランジスタ(11, 13, 15)と第2トランジスタ(12, 14, 16)との直列接続箇所と上記外部端子(24-1)との間に設けられた第1導電型の第3トランジスタ(19)と、それに並列接続された第2導電型の第4トランジスタ(20)とを含んで上記インピーダンス整合回路を構成する。第1導電型の第3トランジスタと第2導電型の第4トランジスタとの並列合成インピーダンスにより伝送路とのインピーダンス整合をとるようにし、インピーダンス整合回路を形成する個々のトランジスタのゲート幅の縮小化を図って、レイアウト面積を縮小する。

【图 1】



## 【特許請求の範囲】

【請求項1】 第1トランジスタと、それに直列接続された第2トランジスタとを含み、出力すべきデータの論理変化により外部端子を介して流れる電流を段階的に変化させるためのスルーレート回路と、出力インピーダンスを伝送路の特性インピーダンスに整合させるためのインピーダンス整合回路とを含む出力回路において、上記インピーダンス整合回路は、上記第1トランジスタと上記第2トランジスタとの直列接続箇所と上記外部端子との間に設けられた第1導電型の第3トランジスタと、それに並列接続された第2導電型の第4トランジスタとを含んで成ることを特徴とする出力回路。

【請求項2】 第1トランジスタと、それに直列接続された第2トランジスタとを含み、出力すべきデータの論理変化により外部端子を介して流れる電流を段階的に変化させるためのスルーレート回路と、出力インピーダンスを伝送路の特性インピーダンスに整合させるためのインピーダンス整合回路とを含む出力回路において、上記インピーダンス整合回路は、上記第1トランジスタと上記第2トランジスタとの直列接続箇所と上記外部端子との間に設けられたpチャンネル型MOSトランジスタと、それに並列接続されたnチャンネル型MOSトランジスタとを含み、上記pチャンネル型MOSトランジスタのゲート電極がグランド電位レベルとされ、上記nチャンネル型MOSトランジスタのゲート電極が高電位側電源電圧レベルに設定されて成ることを特徴とする出力回路。

【請求項3】 請求項1又は2記載の出力回路と、外部入力データを取り込むための入力回路とを含んで1チップ化され、上記出力回路と上記入力回路とで上記外部端子が共有されて成る半導体集積回路。

【請求項4】 請求項3記載の半導体集積回路を含む複数の半導体集積回路が、所定の特性インピーダンス特性を有する伝送路を介して互いに信号のやり取りが可能に結合されて成る電子回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、伝送路とのインピーダンスを整合させるためのインピーダンス整合回路技術、さらにはそのようなインピーダンス整合回路を含む半導体集積回路に関し、例えば複数のLSI（半導体集積回路）が、所定の特性インピーダンスを有する伝送路を介して互いに結合され、当該伝送路を介してデータ転送が行われる電子回路装置に適用して有効な技術に関する。

## 【0002】

【従来の技術】電子回路装置、例えばプリント基板に複数のLSIを搭載して成る電子回路装置において、複数のLSI間でのデータ転送が高速に行われる場合には、信号の反射を抑えるために、データ伝送系のインピーダ

ンス整合が重要になる。例えば複数のLSI間でデータのやり取りを行うための伝送路の特性インピーダンスが $50\Omega$ に設定されている場合には、そのような伝送路に $50\Omega$ の終端抵抗を付加し、信号の反射を抑える。

【0003】インピーダンスの整合には、 $50\Omega$ などの所定の終端抵抗を付加する場合の他に、トランジスタのオン抵抗を利用する場合がある。トランジスタのオン抵抗を使用してインピーダンス整合をとることができれば、終端抵抗は不要とされる。出力インピーダンスは、トランジスタのゲート幅を調整することによって変えることができる。

【0004】尚、インピーダンス整合について記載された文献の例としては、“Digitally Adjustable Resistors in CMOS for High-Performance Applications,” IEEE J. Solid-State Circuits, vol. 27, no. 8, pp. 1176-1185, Aug. 1992がある。

## 【0005】

【発明が解決しようとする課題】LSIの内部回路、特に出力すべき信号に基づいて伝送路に信号出力を行うための出力回路において、電流量が急激に変化すると、電源電圧の変動を生じ、それは電源ノイズとなって、回路動作に支障を来す。電源ノイズを低減するには、電流量の急激な変化を緩和すれば良く、伝送路に信号出力を行うための出力回路においては、電流量の急激な変化を緩和するためのスルーレートコントロール機能が搭載される。スルーレートコントロール機能は、例えば出力回路を形成するトランジスタを複数個並列接続して、この複数のトランジスタがオンされるタイミングを若干ずらすことで実現される。そのように複数のトランジスタがオンされるタイミングが若干ずれると、出力回路に流れる電流の急激な変化を緩和することができるからである。

【0006】しかしながら、そのようなスルーレートコントロールのためのトランジスタを利用して伝送路とのインピーダンス整合をとることはできないため、スルーレート機能及びインピーダンス整合の双方を実現するには、スルーレート機能実現用のトランジスタとは別にインピーダンス整合用のトランジスタを設ける必要がある。例えば、スルーレートコントロール用のMOSトランジスタと、インピーダンス調整のためのトランジスタとを直列接続することにより、スルーレート機能、及びインピーダンス整合機能の双方を実現することができる。そのように、インピーダンス整合のためのトランジスタと、スルーレートコントロールのためのトランジスタとを、それぞれ別個に設ける必要があるため、スルーレートコントロール機能及びインピーダンス整合機能の双方を有する出力回路は、インピーダンス整合機能を有さない回路に比べてチップ占有面積の増大を招く。

【0007】本発明の目的は、スルーレートコントロール機能及びインピーダンス整合機能を有する出力回路の

チップ占有面積の低減を図ることにある。また、本発明の別の目的は、そのような出力回路を含む半導体集積回路、及び電子回路装置を提供することにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】すなわち、第1トランジスタ(11, 13, 15)と、それに直列接続された第2トランジスタ(12, 14, 16)とを含み、出力すべきデータの論理変化により外部端子(24-1)を含む経路に流れる電流を段階的に変化させるためのスルーレート回路(35)と、出力インピーダンスを伝送路の特性インピーダンスに整合させるためのインピーダンス整合回路(34)とを含んで出力回路(33)が形成されるとき、上記第1トランジスタと上記第2トランジスタとの直列接続箇所と上記外部端子との間に設けられた第1導電型の第3トランジスタ(19)と、それに並列接続された第2導電型の第4トランジスタ(20)とを含んで上記インピーダンス整合回路を構成する。

【0011】上記した手段によれば、第3トランジスタと、それに並列接続された第4トランジスタとの並列接続回路により伝送路とのインピーダンス整合をとるようにしているので、ハイレベル出力及びローレベル出力のいずれにおいても、上記第3トランジスタ及び第4トランジスタの双方が同時にインピーダンス整合に関与される。出力インピーダンスは第3トランジスタ及び第4トランジスタの並列合成インピーダンスにより整合されるから、ハイレベル出力の際のインピーダンス整合をとるトランジスタと、ローレベル出力の際のインピーダンス整合をとるトランジスタとを別個に設ける場合に比べて、ゲート幅の低減を図ることができ、このことが、スルーレートコントロール機能及びインピーダンス整合機能を有する出力回路のチップ占有面積の低減を達成する。

【0012】また、上記インピーダンス整合回路は、上記第1トランジスタと上記第2トランジスタとの直列接続箇所と上記外部端子との間に設けられたpチャンネル型MOSトランジスタ(19)と、それに並列接続されたnチャンネル型MOSトランジスタ(20)とを含んで構成することができ、このとき、上記pチャンネル型MOSトランジスタのゲート電極はグラウンド電位レベルに設定され、上記nチャンネル型MOSトランジスタのゲート電極は高電位側電源電圧レベルに設定される。

【0013】さらに、上記構成の出力回路(33)と、外部入力データを取り込むための入力回路(32)とを含んで半導体集積回路(21)を構成することができ、

そのような半導体集積回路を含んで電子回路装置を構成することができる。

【0014】

【発明の実施の形態】図3には本発明にかかる電子回路装置の一例が示される。

【0015】図3に示される電子回路装置は、特に制限されないが、一つのプリント基板に載置されたLSI21, 22を含み、それらが伝送路25-1~25-nを介して互いに信号のやり取りが可能に結合されている。伝送路25-1~25-nは、所定の特性インピーダンスに設定されている。

【0016】特に制限されないが、LSI21は中央処理装置とされ、LSI22はその中央処理装置によってアクセスされる半導体記憶装置とされる。この中央処理装置と半導体記憶装置との間でデータの高速転送を可能とするため、データ伝達系のインピーダンス整合が行われる。

【0017】LSI21は、入出力バッファ23-1~23-nを有し、この入出力バッファ23-1~23-nが、それぞれデータ入出力のための外部端子24-1~24-nを介して伝送路25-1~25-nの一端に結合される。また、LSI22は、入出力バッファ27-1~27-nを有し、この入出力バッファ27-1~27-nが、それぞれデータ入出力のための外部端子26-1~26-nを介して伝送路25-1~25-nの他端に結合される。

【0018】上記入出力バッファ23-1~23-n、27-1~27-nは、特に制限されないが、基本的に同一構成とされる。そのため、以下の説明では、入出力バッファ23-1についてのみ詳細に述べることにする。

【0019】図1には入出力バッファ23-1の構成例が代表的に示される。

【0020】図1に示されるように、この入出力バッファ23-1は、外部端子24-1を介して伝送路に信号出力を行うための出力回路33と、上記伝送路を介して伝達された信号を取り込むための入力回路32とを含む。

【0021】上記出力回路33は、電流量の急激な変化を防ぐためのスルーレートコントロール回路23と、伝送路の特性インピーダンスとインピーダンス整合させるためのトランスファゲート34とを含んで成る。

【0022】上記スルーレートコントロール回路23は、pチャンネル型MOSトランジスタ11とnチャンネル型MOSトランジスタ12とが直列接続されて成る第1インバータINV1、pチャンネル型MOSトランジスタ13とnチャンネル型MOSトランジスタ14とが直列接続されて成る第2インバータINV2、pチャンネル型MOSトランジスタ15とnチャンネル型MOSトランジスタ16とが直列接続されて成る第3インバ

ータ INV3を含む。

【0023】第1インバータ INV1、第2インバータ INV2、及び第3インバータ INV3のそれぞれの出力端子は後段のトランスファゲート 34 に結合される。出力回路 33 への入力データ DATA は、第1インバータ INV1へはそのまま入力されるが、第2インバータ INV2へはディレイ回路 17 を介して、後段の第3インバータ INV3へはさらにディレイ回路 18 を介して入力される。そのようにディレイ回路 17、18 が介在されることにより、第1インバータ INV1、第2インバータ INV2、第3インバータ INV3の動作は、INV1、INV2、INV3の順に遅延される。そのような動作遅延により、出力回路 33 での論理切り換えの際に回路に流れる電流は、図2に示されるように段階的に上昇され、それによって電流の急激な変化が抑えられる。

【0024】上記トランスファゲート 34 は、出力回路 33 の出力インピーダンスを伝送路 25-1 の特性インピーダンスに整合させるために設けられ、pチャンネル型MOSトランジスタ 19 と nチャンネル型MOSトランジスタ 20 とが並列接続されて成る。このpチャンネル型MOSトランジスタ 19 のゲート電極はグラウンドラインに結合され、nチャンネル型MOSトランジスタ 20 のゲート電極は高電位側電源 Vdd に結合される。pチャンネル型MOSトランジスタ 19 のゲート幅と nチャンネル型MOSトランジスタ 20 のゲート幅の調整により、出力回路 33 の出力インピーダンスが伝送路の特性インピーダンスに整合される。

【0025】ここで、図1に示される出力回路 33 の主要部であるMOSトランジスタ 15、16、19、20 に着目して、そのレイアウトを図4に示される出力回路と比較してみる。

【0026】図4に示される出力回路は、スルーレートコントロールのためのトランジスタと、インピーダンス調整のためのトランジスタとが縦積み構造とされるもので、pチャンネル型MOSトランジスタ 41、42、及びnチャンネル型MOSトランジスタ 43、44 が直列接続されて成る。pチャンネル型MOSトランジスタ 41、及びnチャンネル型MOSトランジスタ 44 はスルーレート回路 35 を形成するもので、図1におけるpチャンネル型MOSトランジスタ 15、及びnチャンネル型MOSトランジスタ 16 にそれぞれ対応する。pチャンネル型MOSトランジスタ 42、43 はインピーダンス整合機能を有し、図1におけるpチャンネル型MOSトランジスタ 19、及びnチャンネル型MOSトランジスタ 20 にそれぞれ対応する。pチャンネル型MOSトランジスタ 42 と nチャンネル型MOSトランジスタ 43 との直列接続箇所は信号の外部出力のため外部端子を介して伝送路に結合される。出力インピーダンスは、pチャンネル型MOSトランジスタ 42 のゲート幅、及び

nチャンネル型MOSトランジスタ 43 のゲート幅により調整することができる。

【0027】今、図4に示される回路において、pチャンネル型MOSトランジスタ 41、42 のゲート幅が共に  $100\mu\text{m}$  に設定され、nチャンネル型MOSトランジスタ 43、44 のゲート幅が共に  $50\mu\text{m}$  に設定されるとき、伝送路の特性インピーダンスと整合する所定の出力インピーダンスが実現されるものとする。

【0028】その場合のレイアウトは、図6(a)に示されるようになる。すなわち、ゲート幅  $100\mu\text{m}$  のpチャンネル型MOSトランジスタ 41 は、ゲート幅  $20\mu\text{m}$  の単位MOSトランジスタ Q1 が5個並列接続されることにより形成され、ゲート幅  $100\mu\text{m}$  のpチャンネル型MOSトランジスタ 42 は、ゲート幅  $20\mu\text{m}$  の単位MOSトランジスタ Q2 が5個並列接続されることにより形成され、ゲート幅  $50\mu\text{m}$  のnチャンネル型MOSトランジスタ 43 は、ゲート幅  $10\mu\text{m}$  の単位MOSトランジスタ Q3 が5個並列接続されることにより形成され、ゲート幅  $50\mu\text{m}$  のnチャンネル型MOSトランジスタ 44 は、ゲート幅  $10\mu\text{m}$  の単位MOSトランジスタ Q4 が5個並列接続されることにより形成される。従って、その場合のレイアウト領域の長さ L1 は、およそ  $60\mu\text{m}$  となる。

【0029】それに対して、図1に示される回路におけるMOSトランジスタ 15、16、19、20 は、図5に示されるようにゲート幅が設定されている。すなわち、pチャンネル型MOSトランジスタ 15、及びnチャンネル型MOSトランジスタ 16 については、共にゲート幅が  $100\mu\text{m}$  で、それぞれ図4に示されるpチャンネル型MOSトランジスタ 41、及びnチャンネル型MOSトランジスタ 44 と等しくなるが、pチャンネル型MOSトランジスタ 19、及びnチャンネル型MOSトランジスタ 20 については、それぞれゲート幅が  $50\mu\text{m}$ 、 $25\mu\text{m}$  であり、それぞれ図4におけるpチャンネル型MOSトランジスタ 42、及びnチャンネル型MOSトランジスタ 43 の  $1/2$  のゲート幅で伝送路とのインピーダンス整合をとることができる。それは次の理由による。

【0030】図4に示される回路では、ハイレベル出力の際のインピーダンス整合はpチャンネル型MOSトランジスタ 42 によりインピーダンスが整合され、ローレベル出力の際のインピーダンス整合はnチャンネル型MOSトランジスタ 43 によりインピーダンスが整合される。換言すれば、ハイレベル出力の際とローレベル出力の際とで、それぞれ別個にインピーダンス整合をとるためにpチャンネル型MOSトランジスタ 42、及びnチャンネル型MOSトランジスタ 43 が設けられている。

【0031】それに対して、図1に示される回路では、インバータ INV1、INV2、INV3 の出力端子と外部端子 24-1 との間にpチャンネル型MOSトラン

ジスタ19とnチャンネル型MOSトランジスタ20との並列接続回路が設けられるため、ハイレベル出力及びローレベル出力のいずれにおいても、pチャンネル型MOSトランジスタ19及びnチャンネル型MOSトランジスタ20の双方が同時にインピーダンス整合に関与される。そのため、図4に示される回路において、ハイレベルの際のインピーダンス整合のためにゲート幅100 $\mu$ mのpチャンネル型MOSトランジスタ42が必要で、ローレベル出力の際のインピーダンス整合のためにゲート幅50 $\mu$ mのnチャンネル型MOSトランジスタ43が必要であるのなら、図1及び図5に示される回路において、pチャンネル型MOSトランジスタ19及びnチャンネル型MOSトランジスタ20の並列回路によるインピーダンス整合では、pチャンネル型MOSトランジスタ19及びnチャンネル型MOSトランジスタ20の並列合成インピーダンスが、伝送路とのインピーダンス整合に関与するから、pチャンネル型MOSトランジスタ19、及びnチャンネル型MOSトランジスタ20は、それぞれ図4におけるpチャンネル型MOSトランジスタ42、及びnチャンネル型MOSトランジスタ43の1/2のゲート幅で十分であり、その場合に伝送路とのインピーダンス整合をとることができる。

【0032】従って、図1に示される出力回路33において、MOSトランジスタ15、16、19、20のレイアウトは、図6(a)に示されるように個々のMOSトランジスタが5個の単位MOSトランジスタの並列接続により形成されるものとする、図6(b)に示されるようになる。すなわち、ゲート幅100 $\mu$ mのpチャンネル型MOSトランジスタ15は、ゲート幅20 $\mu$ mの単位MOSトランジスタQ5が5個並列接続されることにより形成され、ゲート幅50 $\mu$ mのpチャンネル型MOSトランジスタ19は、ゲート幅10 $\mu$ mの単位MOSトランジスタQ6が5個並列接続されることにより形成され、ゲート幅25 $\mu$ mのnチャンネル型MOSトランジスタ20は、ゲート幅5 $\mu$ mの単位MOSトランジスタQ7が5個並列接続されることにより形成され、ゲート幅50 $\mu$ mのnチャンネル型MOSトランジスタ16は、ゲート幅10 $\mu$ mの単位MOSトランジスタQ8が5個並列接続されることにより形成される。その場合のレイアウト領域の長さL2は、およそ45 $\mu$ mであるから、図6(a)の場合のレイアウト領域の長さL1=60 $\mu$ mに比べて、15 $\mu$ mほど短くなり、その分、レイアウト領域のチップ占有面積の縮小を図ることができる。

【0033】図7及び図8には出力回路の出力電圧に対するインピーダンス特性のシミュレーション結果が示される。

【0034】図7において、特性曲線71は図4に示される回路のpチャンネル型MOSトランジスタ側のインピーダンス特性であり、特性曲線72は図5に示される

回路のpチャンネル型MOSトランジスタ側のインピーダンス特性である。また、図8において、特性曲線81は図4に示される回路のnチャンネル型MOSトランジスタ側のインピーダンス特性であり、特性曲線72は図5に示される回路のnチャンネル型MOSトランジスタ側のインピーダンス特性である。インピーダンス変動は、出力電圧のレベル変動に対して少ない方が良く、図5に示される回路では、図4に示される回路の場合よりもインピーダンスの変動が少なく、良好な結果が得られている。

【0035】上記した例によれば、以下の作用効果を得ることができる。

【0036】(1) pチャンネル型MOSトランジスタ11、13、15とnチャンネル型MOSトランジスタ12、14、16との直列接続箇所と外部端子24-1との間に設けられたpチャンネル型MOSトランジスタ19と、それに並列接続されたnチャンネル型MOSトランジスタ20とにより伝送路とのインピーダンス整合をとるようにしているので、ハイレベル出力及びローレベル出力のいずれにおいても、pチャンネル型MOSトランジスタ19及びnチャンネル型MOSトランジスタ20の双方が同時にインピーダンス整合に関与される。そのため、出力回路33の出力インピーダンスはpチャンネル型MOSトランジスタ19及びnチャンネル型MOSトランジスタ20の並列合成インピーダンスにより整合され、pチャンネル型MOSトランジスタ19、及びnチャンネル型MOSトランジスタ20は、それぞれ図4におけるpチャンネル型MOSトランジスタ42、及びnチャンネル型MOSトランジスタ43の1/2のゲート幅とすることができ、その分、レイアウト面積を低減することができる。

【0037】(2) 上記(1)の作用効果を有す出力回路33を含む半導体集積回路においては、出力回路33のレイアウト面積の低減により、入出力バッファのレイアウト面積の低減、さらにはチップサイズの縮小を図ることができる。また、出力回路33のレイアウト面積の低減により、入出力回路数の増加を図ることもできる。

【0038】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0039】例えば、無終端GTL回路などのようにnチャンネル型MOSトランジスタのみで構成される場合においても、pチャンネル型MOSトランジスタ19とnチャンネル型MOSトランジスタ20との並列接続回路によりインピーダンスを整合させることができる。

【0040】また、インピーダンス整合において、ハイレベル出力とローレベル出力とで出力インピーダンス値を異ならせたい場合には入力データDATAに基づいて出力インピーダンス変化させるための補正回路を設ける

ことができる。例えばこの補正回路は、入力データDATAがハイレベル（又はローレベル）の場合にオンされるようなMOSトランジスタを、図1に示されるトランスファゲート34に並列接続することで実現することができる。

【0041】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路の入出力バッファに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種電子回路装置に広く適用することができる。

【0042】本発明は、少なくとも第1トランジスタとそれに直列接続された第2トランジスタとを含むことを条件に適用することができる。

【0043】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0044】すなわち、第1トランジスタと第2トランジスタとの直列接続箇所と外部端子との間に設けられた第1導電型の第3トランジスタと、それに並列接続された第2導電型の第4トランジスタとを含んで上記インピーダンス整合回路が構成されることにより、ハイレベル出力及びローレベル出力のいずれにおいても、上記第3トランジスタ及び第4トランジスタの双方が同時にインピーダンス整合に関与される。出力インピーダンスは第3トランジスタ及び第4トランジスタの並列合成インピーダンスにより整合されるから、ハイレベル出力の際のインピーダンス整合をとるトランジスタと、ローレベル出力の際のインピーダンス整合をとるトランジスタとを別個に設ける場合に比べて、ゲート幅の低減を図ることができ、それにより、スルーレートコントロール機能及

びインピーダンス整合機能を有する出力回路のチップ占有面積の低減を図ることができる。

【図面の簡単な説明】

【図1】本発明にかかる半導体集積回路に含まれる入出力バッファの構成例回路図である。

【図2】上記入出力バッファに含まれるスルーレートコントロール機能による回路電流変化の特性図である。

【図3】上記半導体集積回路を含む電子回路装置における主要部の説明図である。

【図4】上記入出力バッファに含まれる出力回路の比較対照とされる出力回路の構成回路図である。

【図5】上記入出力バッファに含まれる出力回路の構成例回路図である。

【図6】上記出力回路のレイアウト例説明図である。

【図7】上記出力回路におけるpチャンネル型MOSトランジスタ側のインピーダンス特性図である。

【図8】上記出力回路におけるnチャンネル型MOSトランジスタ側のインピーダンス特性図である。

【符号の説明】

21, 22 半導体集積回路

25-1～25-n 伝送路

23-1～23-n, 27-1～27-n 入出力バッファ

11, 13, 15, 19 pチャンネル型MOSトランジスタ

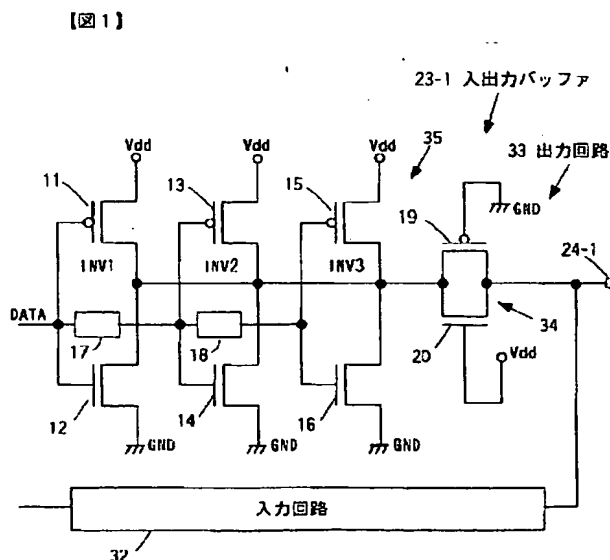
12, 14, 16, 20 nチャンネル型MOSトランジスタ

32 入力回路

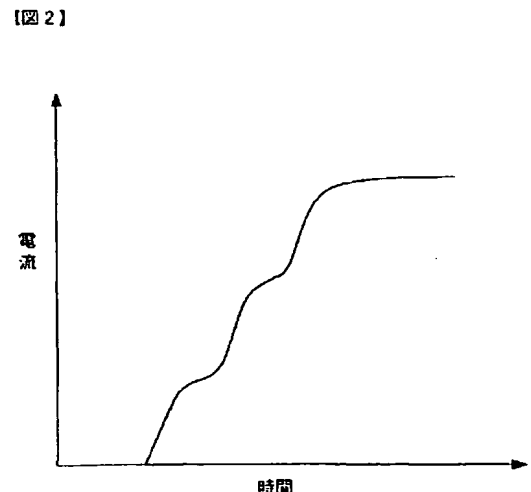
33 出力回路

35 スルーレート回路

【図1】

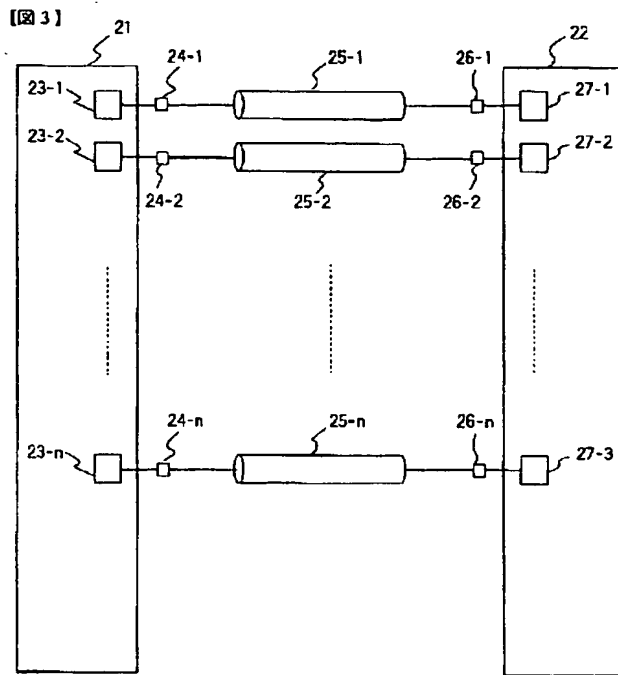


【図2】

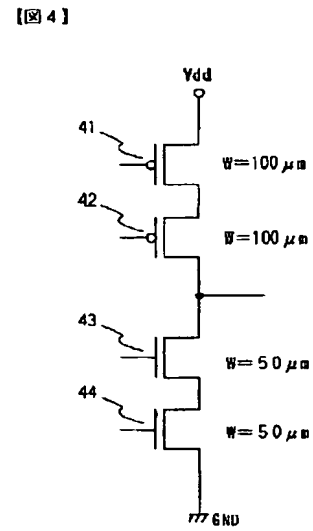




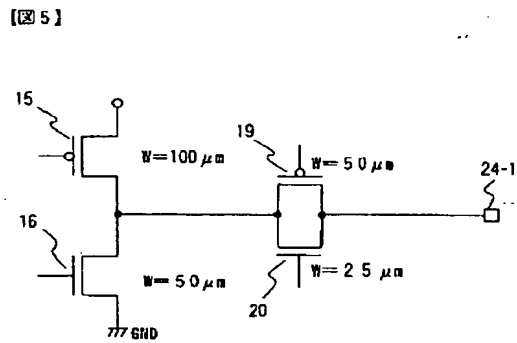
【図 3】



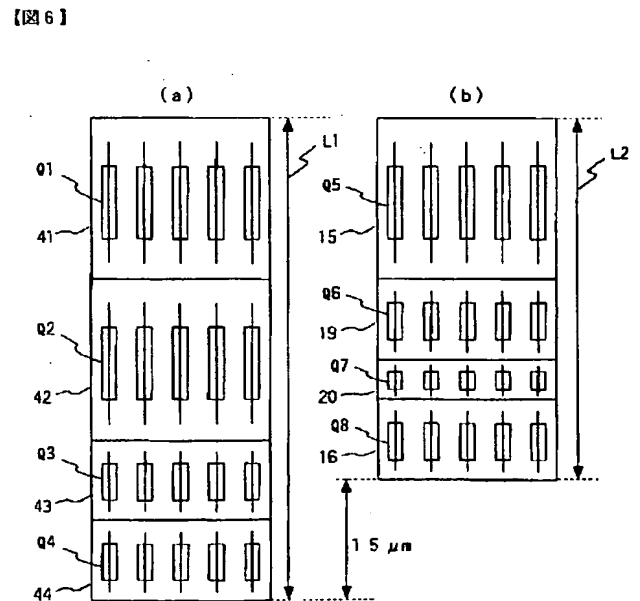
【図 4】



【図 5】

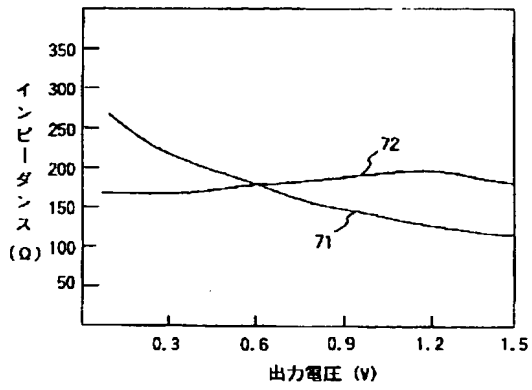


【図 6】



【図7】

【図7】



【図8】

【図8】

